

Patent Abstracts of Japan

PUBLICATION NUMBER : 11284500
PUBLICATION DATE : 15-10-99

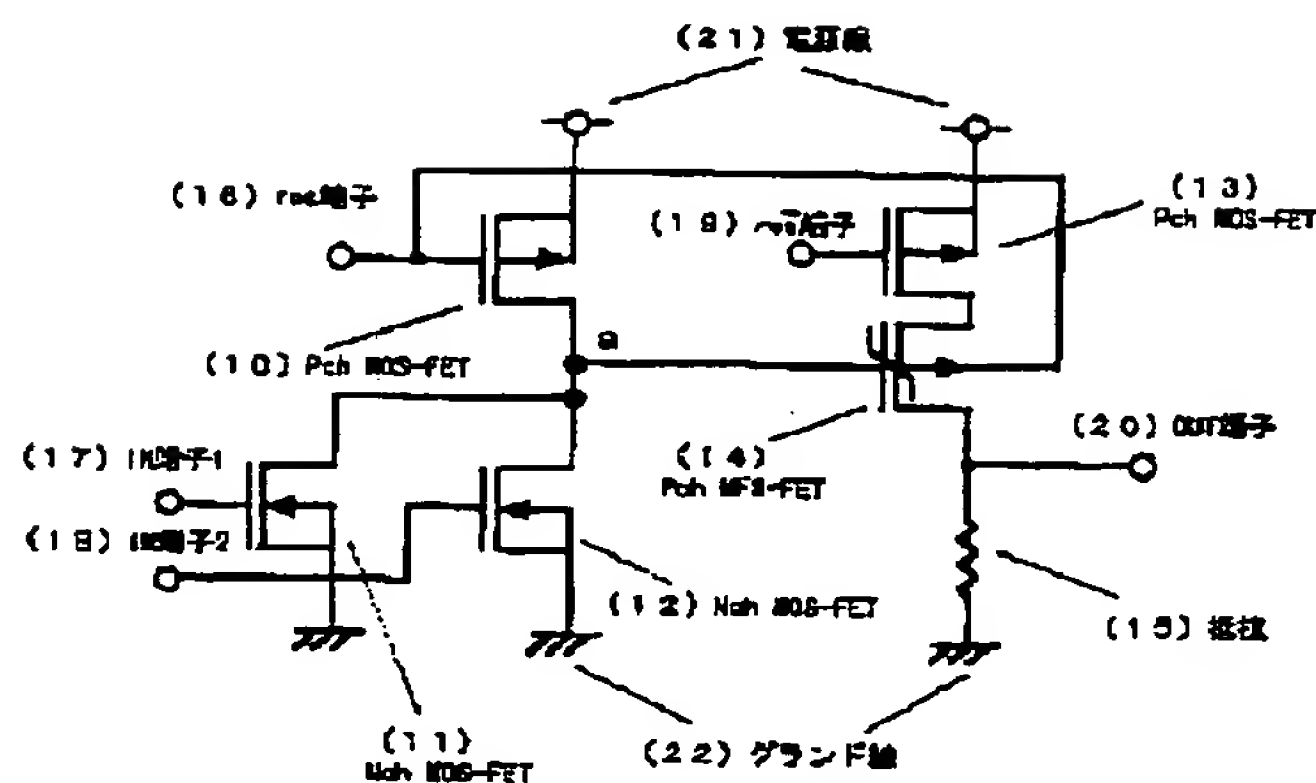
APPLICATION DATE : 27-03-98
APPLICATION NUMBER : 10081562

APPLICANT : NISSAN MOTOR CO LTD;

INVENTOR : ABE NORIYUKI;

INT.CL. : H03K 19/0944 H01L 21/8238 H01L
27/092 H01L 27/10 H01L 21/8247
H01L 29/788 H01L 29/792 H03K 3/356
H03K 19/20

TITLE : LOGIC CIRCUIT



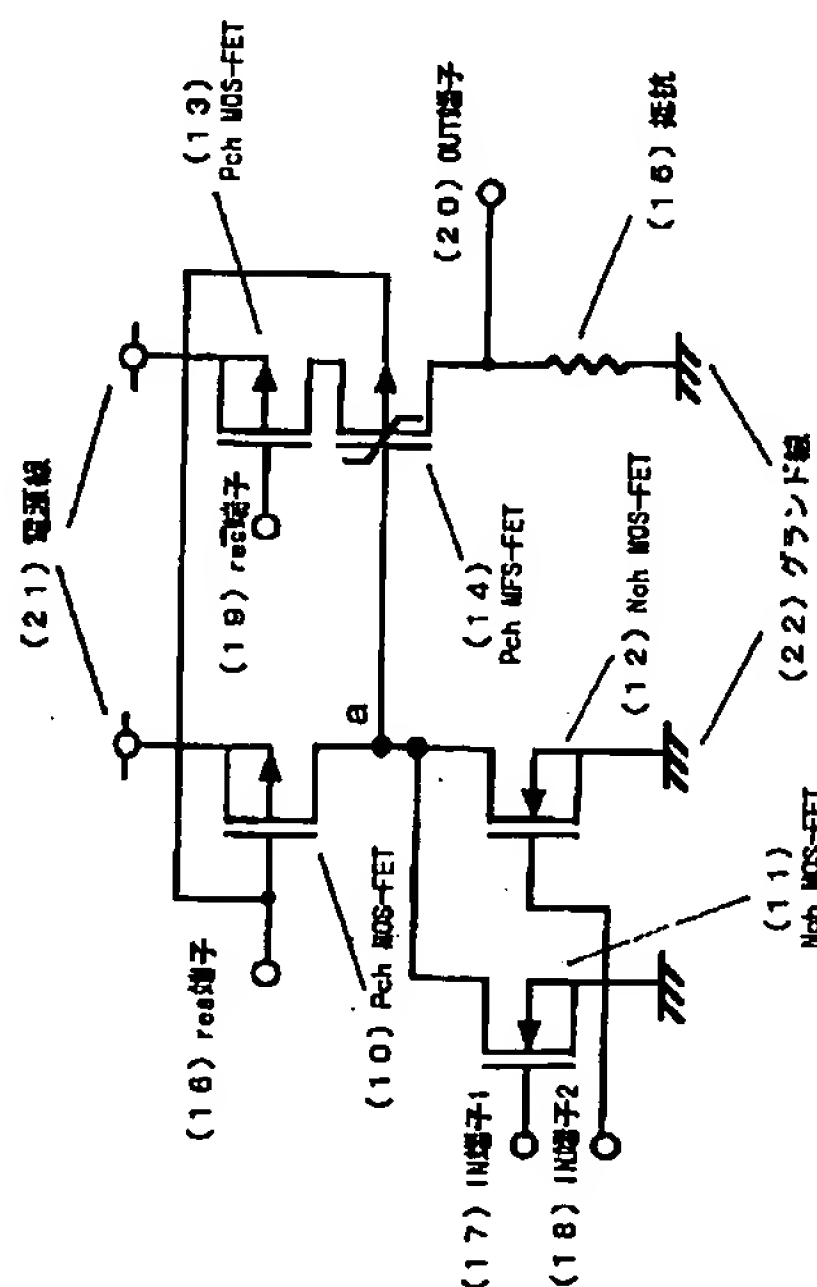
ABSTRACT : PROBLEM TO BE SOLVED: To provide, in simple circuit configuration, a logic circuit which dispenses with a negative power source and is capable of being held even at power source turn off as well by detecting the state where a logic changes.

SOLUTION: This logic circuit is provided with an MOS-FET 10 to be the load of a logic circuit part while controlling a substrate potential corresponding to an input signal, and an MFS-FET 14 to be a holding circuit. MOS-FET 13 to function as a switching circuit for turning off the connection of the source of the MFS-FET and a power source line when generating polarization at that MFS-FET, and logic circuit part having no load part for outputting a logic. For such a circuit, since the structure of sharing the MOS-FET 10 for controlling the substrate potential as the load of the logic circuit part is adopted, the circuit can be provided within a small area in comparison to the conventional examples, and the circuit can be held even at power source turn off as well, by detecting the state where the logic changes without the use of a negative power source.

COPYRIGHT: (C)1999,JPO

(11)特許出願公開番号

(43)公開日 平成11年(1999)10月15日



【特許請求の範囲】

【請求項1】第1のPチャネルMOS-FETと、第2のPチャネルMOS-FETと、PチャネルMFS-FETと、負荷と、第1の信号入力端子と、該第1の信号入力端子に入力する信号の逆位相の信号が入力する第2の信号入力端子と、信号の出力端子と、第1の電源端子と、該第1の電源端子と電位の異なる第2の電源端子と、論理を出力するための負荷部分を持たない論理回路部と、を有し、

前記第1のPチャネルMOS-FETのソースおよび当該基板と、前記第2のPチャネルMOS-FETのソースおよび当該基板とが前記第1の電源端子に接続され、前記第1のPチャネルMOS-FETのゲートと、前記PチャネルMFS-FETの基板とが前記第1の信号入力端子に接続され、

前記第2のPチャネルMOS-FETのドレインと、前記PチャネルMFS-FETのソースとが接続され、前記PチャネルMFS-FETのドレインと、前記負荷の一端とが、前記出力端子に接続され、

前記第1のPチャネルMOS-FETのドレインと、前記PチャネルMFS-FETのゲートとが、前記論理回路部の出力端に接続され、

前記負荷の他端と、前記論理回路部の電源端とが前記第2の電源端子に接続されたことを特徴とする論理回路。

【請求項2】PチャネルMOS-FETと、NチャネルMOS-FETと、PチャネルMFS-FETと、負荷と、第1の信号入力端子と、信号の出力端子と、第1の電源端子と、該第1の電源端子と電位の異なる第2の電源端子と、論理を出力するための負荷部分を持たない論理回路部と、を有し、

前記PチャネルMOS-FETのソースおよび当該基板と、前記NチャネルMOS-FETのドレインとが前記第1の電源端子に接続され、

前記PチャネルMOS-FETのゲートと、前記NチャネルMOS-FETのゲートと、前記PチャネルMFS-FETの基板とが前記第1の信号入力端子に接続され、

前記NチャネルMOS-FETのソースと、前記PチャネルMFS-FETのソースとが接続され、

前記PチャネルMFS-FETのドレインと、前記負荷の一端とが、前記出力端子に接続され、

前記PチャネルMOS-FETのドレインと、前記PチャネルMFS-FETのゲートとが、前記論理回路部の出力端に接続され、

前記NチャネルMOS-FETの基板と、前記負荷の他端と、前記論理回路部の電源端とが前記第2の電源端子に接続されたことを特徴とする論理回路。

【請求項3】第1のNチャネルMOS-FETと、第2のNチャネルMOS-FETと、NチャネルMFS-FETと、負荷と、第1の信号入力端子と、該第1の信号

入力端子に入力する信号の逆位相の信号が入力する第2の信号入力端子と、信号の出力端子と、第1の電源端子と、該第1の電源端子と電位の異なる第2の電源端子と、論理を出力するための負荷部分を持たない論理回路部と、を有し、

前記第1のNチャネルMOS-FETのソースおよび当該基板と、前記第2のNチャネルMOS-FETのソースおよび当該基板とが前記第2の電源端子に接続され、前記第1のNチャネルMOS-FETのゲートと、前記NチャネルMFS-FETの基板とが前記第1の信号入力端子に接続され、

前記第2のNチャネルMOS-FETのドレインと、前記NチャネルMFS-FETのソースとが接続され、

前記NチャネルMFS-FETのドレインと、前記負荷の一端とが、前記出力端子に接続され、

前記第1のNチャネルMOS-FETのドレインと、前記NチャネルMFS-FETのゲートとが、前記論理回路部の出力端に接続され、

前記負荷の他端と、前記論理回路部の電源端とが前記第1の電源端子に接続されたことを特徴とする論理回路。

【請求項4】NチャネルMOS-FETと、PチャネルMOS-FETと、NチャネルMFS-FETと、負荷と、第1の信号入力端子と、信号の出力端子と、第1の電源端子と、該第1の電源端子と電位の異なる第2の電源端子と、論理を出力するための負荷部分を持たない論理回路部と、を有し、

前記NチャネルMOS-FETのソースおよび当該基板と、前記PチャネルMOS-FETのドレインとが前記第2の電源端子に接続され、

前記NチャネルMOS-FETのゲートと、前記PチャネルMOS-FETのゲートと、前記NチャネルMFS-FETの基板とが前記第1の信号入力端子に接続され、

前記PチャネルMOS-FETのソースと、前記NチャネルMFS-FETのソースとが接続され、

前記NチャネルMFS-FETのドレインと、前記負荷の一端とが、前記出力端子に接続され、

前記NチャネルMOS-FETのドレインと、前記NチャネルMFS-FETのゲートとが、前記論理回路部の出力端に接続され、

前記PチャネルMOS-FETの基板と、前記負荷の他端と、前記論理回路部の電源端とが前記第1の電源端子に接続されたことを特徴とする論理回路。

【請求項5】前記論理回路部は、複数のMOSFETからなり、それらのソース同士およびドレイン同士がそれぞれ接続されて、一方が前記出力端となり、他方が前記電源端となり、それぞれのゲートが複数の論理信号の入力端子となるOR回路であるか、或いは複数のMOSFETからなり、一つのMOSFETのソースが次のMOSFETのドレインに順次接続され、最端のソースと他

の最端のドレインとの一方が前記出力端となり、他方が前記電源端となり、それぞれのゲートが複数の論理信号の入力端子となるAND回路である、ことを特徴とする請求項1乃至請求項4の何れかに記載の論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、論理回路に関し、特に強誘電体をゲート絶縁膜に用いたMFS-FET(MFS: Metal Ferroelectric Semiconductor)構造のトランジスタを用いて構成された論理回路に関する。

【0002】

【従来の技術】電源をオフにしても信号の状態を保持する回路としては、例えばMFS-FETを用いた回路がある。図17に、MFS-FETの例として一般的に知られている構造例を示す。図17(a)は、NチャネルMFS-FETの断面構造図である。P型基板(1)に、N型の拡散領域であるソース(2)とドレイン(3)が形成されている。また、該ソース(2)とドレイン(3)を挟み、強誘電体膜(4)でゲート絶縁膜を形成し、その上にゲート電極(5)を配した構造を持つ。

【0003】同様に、図17(b)は、PチャネルMFS-FETの断面構造図である。P型基板(1)にN型のウェル(6)を形成し、該ウェル(6)上に、P型の拡散領域であるソース(7)とドレイン(8)が形成されている。該ソース(7)とドレイン(8)を挟み、強誘電体膜(4)でゲート絶縁膜を形成し、その上にゲート電極(5)を配した構造を持つ。なお、図17におけるソース(2)、(7)、ドレイン(3)、(8)には、図示していないが、さらに、配線用の電極が設けられ、該電極を介して他の回路との接続が行われる。

【0004】上記のごとき強誘電体には、後記図3で詳細を説明するように、分極特性があり、一旦、電界を印加すると、その電界を0に戻しても残留分極が残り、それを無くするには逆方向の電界を印加する必要がある。このような特性を持つ強誘電体膜を用いたMFS-FET、例えば図17(a)のNチャネルMFS-FETでは、ゲート電極(5)に5Vを印加するとソース(2)、ドレイン(3)間にチャンネルが形成され、導通状態となる。この時、P基板(1)は0Vにバイアスされているため、強誘電体膜(4)は図3のA点に相当する分極を生じ、その後、ゲート電位を0Vに戻しても、図3のB点に相当する残留分極をもつため、導通状態を維持する。非導通状態にするには、P基板(1)の電位0Vに対して負電位、例えば-5Vをゲート電極(5)に印加すると、強誘電体膜(4)は図3のC点に相当する分極を起こし、該MFS-FETは、非導通状態となる。その後ゲート電位を0Vに戻しても、図3のD点に相当する残留分極をもつため、非導通状態を維持する。

図17(b)のPチャネルMFS-FETも、電位の極性が反対になる他はほぼ同様の動作となるので説明は省略する。このように、MFS-FETを用いた回路では、正負の2電源が必要となり、回路構成が複雑になる。

【0005】負電源を用いずに、強誘電体膜を利用した論理回路の従来例としては、特開平9-27191号公報に示されるものがある。上記従来例の回路は、強誘電体メモリ素子を用いたDフリップフロップ回路であり、書き込み、読み出し、待機の3つの動作状態を備える。該強誘電体メモリ素子は、2つのゲート、すなわちコントロールゲートとフローティングゲートを備え、該2つのゲートの間に、強誘電体素子を挟み込む形で構成されている。そして書き込み動作時に、入力データに対応して確実に強誘電体素子の分極を起こさせるために、カレントミラー回路を始め、いくつかのMOSトランジスタを用いて、該2ゲート間に印加される電界の方向を、入力データの値に対応して切り替える構成になっている。また、読み出し動作時に、確実にデータを読み出すために、定電流源を用いて強誘電体メモリ素子へ電流を供給している。

【0006】

【発明が解決しようとする課題】上記のように、信号の状態を保持する回路として、ゲート電極が一つの構造のもの、所謂MFS-FET構造を用いると、強誘電体素子を分極させるために負電源が必要になり、設計の複雑さを増加させる。

【0007】また、前記特開平9-27191号公報のような強誘電体メモリ素子を用いたDフリップフロップ回路では、以下のような問題点があった。すなわち、データ書き込み動作時に、入力データに対応して強誘電体素子に印加する電界の方向を切り替えるための2つのゲートを設けているため、通常のDフリップフロップ回路と異なり、外部からの信号で変化する、書き込み/読み出し/待機の3つの動作状態が存在し、制御が複雑になる。例えば、読み出し動作時に、データ入力端子を、“H”レベルに保つ必要がある。これは、通常のDフリップフロップ回路では注意の必要が無いものである。大規模論理回路を設計する際に、使用される数多くの保持回路について、これらの動作制御を考慮することは、設計の複雑さを増加させ、またテストパターンなど検査のための複雑さも増加させる。さらに、強誘電体膜を挟む形でゲート電極が2つ必要なため、製造工程が増加する。これらの問題点は、開発費・製品価格の増加につながる。

【0008】本発明は、上記のごとき従来技術の問題点を解決するためになされたものであり、負電源が不要であり、かつ簡単な回路構成で、論理が変化した状態を検出して電源オフ時にも保持することの出来る論理回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。まず、請求項1に記載の発明は、入力信号に応じて基板電位を制御すると共に論理回路部の負荷となるMOS-FET（例えば図1の10）と、MFS-FETに分極を起こさせる際に、そのソースと電源線との接続をオフするスイッチング回路として機能するMOS-FET（例えば図1の13）と、保持回路となるMFS-FET（例えば図1の14）とを全てPチャネル型で構成したものである。この構成は例えば後記図1に示す実施の形態に相当し、上記FET以外の構成要素は、例えば図1の下記の部分に相当する。すなわち、負荷は抵抗（15）、第1の信号入力端子はres端子（16）、第2の信号入力端子はres⁻端子（19）、信号の出力端子はOUT端子（20）、第1の電源端子は電源線（21）、第2の電源端子はグランド線（22）、論理回路部はMOS-FET（11）と（12）の部分に、それぞれ相当する。上記のように構成したことにより、従来例では論理回路と基板電位制御回路と強誘電体メモリ部とを独立に存在させていたのに対し、論理回路の一部を基板電位制御回路と共有する構造とすることが出来たので、従来例に比べて小面積で回路を実現することが可能となり、かつ負電源を用いずに論理が変化した状態を検出して電源オフ時にも保持することが出来る。

【0010】また、請求項2に記載の発明は、入力信号に応じて基板電位を制御すると共に論理回路部の負荷となるMOS-FET（例えば図7の70）と、保持回路となるMFS-FET（例えば図7の74）とをPチャネル型で構成し、MFS-FETに分極を起こさせる際に、そのソースと電源線との接続をオフするスイッチング回路として機能するMOS-FET（例えば図7の73）をNチャネル型で構成したものである。この構成は例えば後記図7の実施の形態に相当する。このように構成したことにより、第1の信号入力端子（例えば図7のres端子76）にNチャネルのMOS-FET（例えば図7の73）のゲートを直接接続することが可能となる。その他の作用、効果については請求項1と同様である。

【0011】また、請求項3に記載の発明においては、入力信号に応じて基板電位を制御すると共に論理回路部の負荷となるMOS-FET（例えば図9の112）と、MFS-FETに分極を起こさせる際に、そのソースと電源線との接続をオフするスイッチング回路として機能するMOS-FET（例えば図9の115）と、保持回路となるMFS-FET（例えば図9の114）とを全てNチャネル型で構成したものである。この構成は例えば後記図9に示す実施の形態に相当する。その他の作用、効果については請求項1と同様である。

【0012】また、請求項4に記載の発明は、入力信号に応じて基板電位を制御すると共に論理回路部の負荷となるMOS-FET（例えば図12の152）と、保持回路となるMFS-FET（例えば図12の154）とをNチャネル型で構成し、MFS-FETに分極を起こさせる際に、そのソースと電源線との接続をオフするスイッチング回路として機能するMOS-FET（例えば図12の155）をPチャネル型で構成したものである。この構成は例えば後記図12の実施の形態に相当する。その他の作用、効果については請求項2と同様である。

【0013】また、請求項5に記載の発明は、請求項1乃至請求項4に記載の発明における論理回路部の構成を示したものであり、複数のMOS-FETからなるOR回路とAND回路の例を示している。なお、OR回路は例えば後記図1、図7、図9、図12に記載されており、AND回路は例えば後記図5に記載されている。

【0014】

【発明の効果】本発明によれば、論理回路の一部を基板電位の制御回路と共有する構造とすることが出来たので、従来例に比べて小面積で回路を実現することが可能となり、かつ負電源を用いずに論理が変化した状態を検出して電源オフ時にも保持することが出来る。更に本発明を用いれば、電源をオフしてもその内部状態は保持されるので、電子システム稼動時において適時に使われない回路部分の電源をオフし、電子システム全体の省電力化を図ることが可能となる。なお、本発明を適用する際、電源をオフする回路の構成要素全てに適用する必要はなく、オフする回路の出力部分の最終段など必要な個所に適用すればよい。

【0015】

【発明の実施の形態】（第1の実施の形態）図1～図4は、本発明の第1の実施の形態を示す図であり、図1は2入力OR論理状態検出保持回路の回路図、図2は一部の構造断面図、図3は強誘電体の特性図、図4は図1の回路における信号波形図である。

【0016】まず図1の回路構成を説明する。2入力OR論理状態検出保持回路は、PチャネルMOS-FET（10）、NチャネルMOS-FET（11）、NチャネルMOS-FET（12）、PチャネルMOS-FET（13）、PチャネルMFS-FET（14）、抵抗（15）から構成される。そしてPチャネルMOS-FET（10）のソースおよびその基板と、PチャネルMOS-FET（13）のソースおよびその基板（図2のNウェル32）とが電源線（21）に接続され、PチャネルMOS-FET（10）のゲートと、PチャネルMFS-FET（14）の基板（図2のNウェル33）と、res（リセット）端子（16）とが接続され、PチャネルMOS-FET（10）のドレインと、PチャネルMFS-FET（14）のゲートと、NチャネルM

OS-FET(11)のドレインと、NチャネルMOS-FET(12)のドレインとが接続される。また、NチャネルMOS-FET(11)のゲートは論理信号の入力端子であるIN端子1(17)に接続され、NチャネルMOS-FET(12)のゲートは他の論理信号の入力端子であるIN端子2(18)に接続され、PチャネルMOS-FET(13)のゲートはres⁻端子(19)に接続され、PチャネルMOS-FET(13)のドレインと、PチャネルMFS-FET(14)のソースとが接続され、PチャネルMFS-FET(14)のドレインと、抵抗(15)の一端とがデータ出力であるOUT端子(20)に接続される。さらに、NチャネルMOS-FET(11)のソースおよびその基板と、NチャネルMOS-FET(12)のソースおよびその基板と、抵抗(15)の他端とがグランド線(22)に接続される。

【0017】上記の回路において、NチャネルMOS-FET(11)とNチャネルMOS-FET(12)の部分は、2入力OR回路を構成し、PチャネルMOS-FET(10)とPチャネルMFS-FET(14)の部分は論理状態の検出保持回路を構成している。上記PチャネルMOS-FET(10)は上記2入力OR回路の負荷としても機能する。また、PチャネルMOS-FET(13)は、分極を起こさせる際に、PチャネルMFS-FET(14)のソースと電源線(21)との接続をオフするスイッチング回路として機能する(詳細後述)。なお、図1においては、論理回路部として2入力OR回路を例示したが、3入力以上のOR回路でも、NチャネルMOS-FETを入力の数だけ並列接続(各ソース同士、ドレイン同士を接続)すれば容易に構成できる。

【0018】また、図2は、上記図1の回路におけるPチャネルMOS-FET(13)とPチャネルMFS-FET(14)の部分の断面図である。図2において、PチャネルMOS-FET(13)はP基板(31)上に構成され、Nウェル(32)と、基板コンタクト(34)と、ソース(35)と、ゲート酸化膜(36)と、ゲート電極(37)と、ドレイン(38)とから成る。PチャネルMFS-FET(14)は同じくP基板(31)上に構成され、Nウェル(33)と、基板コンタクト(39)と、ソース(40)と、強誘電体膜(41)と、ゲート電極(42)と、ドレイン(43)とから成る。

【0019】なお、図1の回路中、PチャネルMOS-FET(10)、NチャネルMOS-FET(11)、NチャネルMOS-FET(12)、抵抗(15)の部分の構造は特に図示しないが、一般的なCMOSプロセスで作られるデバイス構造を取るものとする。また、前記図1の回路の接続の説明中で、基板と記載してあるのは、図2に示す全体の基板(31)のことではなく、そ

れぞれのFETが形成されている部分(例えばNウェル32や33)を意味する。図2に示していないFETについても同様である。

【0020】ここで図3を用いて、強誘電体の分極特性を概説する。図3は、強誘電体膜に印加する電界Eと、強誘電体膜に生じる分極Pとの関係を示す特性図である。強誘電体膜に、図3のE軸の正方向に、或る大きさの電界を印加すると、該強誘電体膜には図3のA点に相当する分極が生じる。この分極は印加していた電界を0に戻しても残り、残留分極として、図3のB点の値を持つ。さらに、この状態の強誘電体膜に、E軸の負方向にある大きさの電界を印加すると、C点に相当する分極を生じる。この分極は、印加していた電界を0に戻しても残り、残留分極として、図3のD点の値を持つ。

【0021】次に、図4はres端子(16)、res⁻端子(19)、IN端子1(17)、IN端子2(18)の入力信号およびOUT端子(20)の出力信号の波形図である。なお、以下の説明において、電源線(21)にはVDDという電源電圧が印加されているものとする。またres⁻端子(19)にはres端子(16)へ入力される信号の逆位相の信号が入力される。

【0022】以下、図4に基づいて回路動作を説明する。本回路はリセット動作および検出保持動作の2つの動作状態が存在する。まず、リセット動作における回路各部の電位の状態を説明する。res端子(16)の電位レベルがGND(したがってres⁻端子は“H”)になると、PチャネルMOS-FET(10)はオンし、PチャネルMOS-FET(13)はオフし、図中a点の電位レベルはVDDとなる。このときPチャネルMFS-FET(14)の基板電位はGNDであるから、PチャネルMFS-FET(14)の強誘電体膜(41)に電界が掛かり、PチャネルMFS-FET(14)が非導通状態となるような分極が強誘電体膜(41)に生じる(図3のC点)。このようにPチャネルMFS-FET(14)が非導通状態なので、出力であるOUT端子(20)の電位レベルはGNDとなる。この状態で回路はリセットされたことになる。

【0023】ここで、PチャネルMOS-FET(13)によるスイッチング機能について説明する。上記の分極を起こさせる際に、PチャネルMFS-FET(14)のソースとVDDとの接続を、PチャネルMOS-FET(13)を用いて断つのは以下の理由からである。すなわちPチャネルMFS-FET(14)のソースはP型、基板(Nウェル33)はN型のため、その間にPN接合が存在する。仮にソースをVDDにしておくと、分極を起こさせる時は、基板をGNDにするので、このPN接合が順バイアスとなって大電流が流れてしまう。よってリセット動作する時すなわち基板をGNDにする際には、PチャネルMOS-FET(13)を用いてPチャネルMFS-FET(14)のソースとVDD

の接続をオフにする構造としている。

【0024】次に検出保持動作における回路各部の電位の状態を説明する。IN端子1(17)およびIN端子2(18)の電位がGNDのままであれば、NチャネルMOS-FET(11)とNチャネルMOS-FET(12)は共にオフなので、PチャネルMOS-FET(14)の分極状態は変わらず、非導通状態のため、OUT端子(18)の電位レベルはGNDとなる。

【0025】一方、IN端子2(18)の電位がGNDからVDDになるとNチャネルMOS-FET(12)はオンし、図中a点の電位レベルはGNDとなる。このときres端子(16)の電位レベルはVDDなのでPチャネルMOS-FET(14)の基板電位はVDDになり、PチャネルMOS-FET(14)の強誘電体膜(41)には、PチャネルMOS-FET(14)が導通状態となるような分極(図3のA点)が生じる。このときPチャネルMOS-FET(13)およびPチャネルMOS-FET(14)が導通状態なので、出力であるOUT端子(20)の電位レベルはVDDとなる。同様に、IN端子1(17)の電位がGNDからVDDになっても同じ動作となる。つまり本回路はIN端子1(17)とIN端子2(18)の少なくとも一方が“H”になった状態、すなわち2入力のOR(論理和)を検出して保持したことになる。

【0026】また、一旦、IN端子1(17)とIN端子2(18)のOR出力(“H”)を検出して保持すると、その後、IN端子1(17)とIN端子2(18)の入力が変化してもOUT端子(20)の電位レベルは変化しない。なぜなら定常状態ではres端子(16)の電位レベルはVDDなので、PチャネルMOS-FET(14)の基板もVDDとなり、図中a点がVDDもしくはGNDになっても、PチャネルMOS-FET(14)が非導通状態になるような分極が強誘電体膜(41)に生じないからである。

【0027】上記のように本回路では、PチャネルMOS-FET(14)の強誘電体膜(41)に分極を起こさせるための基板電位制御回路を基本的にはPチャネルMOS-FET(10)のみで構成している。そして、このトランジスタは論理回路部〔この実施の形態ではNチャネルMOS-FET(11)とNチャネルMOS-FET(12)からなる2入力OR回路〕の負荷トランジスタの役目も果たしている。つまり前記特開平9-27191号公報の従来技術では、状態検出保持回路を構成するのに論理回路と基板電位制御回路とメモリ部を独立に存在させていたのに対し、本実施の形態では論理回路の一部を基板電位制御回路と共有する構造としたので、これにより従来例に比べて小面積で論理状態の変化を検出して保持する回路を実現することが可能となる。

【0028】更に電源の供給が断たれても、PチャネルMOS-FET(14)の強誘電体膜(41)の分極状

態は残るので、本回路の論理状態は保存される。つまり本発明による状態検出保持回路は、従来例より小面積で電源オフ時に論理状態を保持する機能を有することが可能となり、かつ負電源を必要としない。

【0029】(第2の実施の形態)図5および図6は、本発明の第2の実施の形態を示す図であり、図5は2入力AND状態検出保持回路の回路図、図6は図5の信号波形図である。図5の回路において、前記図1の実施の形態との違いは、論理回路部において2入力AND論理を構成している点のみである。すなわち、NチャネルMOS-FET(51)とNチャネルMOS-FET(52)とで2入力AND回路を構成しており、その他の部分は前記図1と同じである。図5において、50はPチャネルMOS-FET、51はNチャネルMOS-FET、52はNチャネルMOS-FET、53はPチャネルMOS-FET、54はPチャネルMOS-FET、55は抵抗、56はres端子、57はIN端子1、58はIN端子2、59はres⁻端子、60はOUT端子、61は電源線、62はグランド線である。なお、ここでは2入力のAND回路を例示したが、3入力以上であってもよい。例えば、複数のNチャネルMOS-FETを直列接続(一つのFETのソースを次のFETのドレインに順次接続)し、最端のドレインをa点に、他の最端のソースと各FETの基板とをグランド線(62)に接続し、各ゲートを各論理信号の入力端子とすればよい。

【0030】この回路の動作は、図6に示すように、IN端子1(57)とIN端子2(58)の両方がVDDとなった時に、OUT端子(60)の電位レベルが“H”になる。電源をオフにしても上記の状態を保持することは前記図1と同様である。

【0031】(第3の実施の形態)図7および図8は、本発明の第3の実施の形態を示す図であり、図7は2入力OR状態検出保持回路の回路図、図8は一部の構造を示す断面図である。前記第1の実施の形態との違いは、図1のPチャネルMOS-FET(13)の代わりにNチャネルのMOS-FET(73)を用いていることである。すなわち、図7の回路では、リセット動作時すなわち基板をGNDにする時、PチャネルのMOS-FET(74)のソースとVDDの接続を断つのにNチャネルのMOS-FET(73)を用いている。こうすることによりres端子(76)にNチャネルのMOS-FET(73)のゲートを直接接続することが可能となる。したがって逆位相のres⁻信号は不要になる。ただしNチャネルのMOS-FET(73)をVDDレベルでオンさせるため、OUT端子(79)の出力電位の“H”レベルは(VDD-V_{thn})となる。ただしV_{thn}はNチャネルのMOS-FET(73)のしきい値である。

【0032】また、NチャネルのMOS-FET(7

3)とPチャネルのMFS-FET(74)の部分の構造は図8の断面図に示すようになる。なお、図7、図8において、70はPチャネルMOS-FET、71はNチャネルMOS-FET、72はNチャネルMOS-FET、73はNチャネルMOS-FET、74はPチャネルMFS-FET、75は抵抗、76はres端子、77はIN端子1、78はIN端子2、79はOUT端子、80は電源線、81はグランド線、90はP基板、91はソース、92はゲート酸化膜、93はゲート電極、94はドレイン、95は基板コンタクト、96はソース、97は強誘電体膜、98はゲート電極、99はドレイン、100基板コンタクト、101はPチャネルMFS-FET(74)の基板となるNウェルである。

【0033】また、本実施の形態では、論理回路部として2入力OR回路を構成した場合を例示したが、前記図4に示したような2入力AND回路も構成できる。また、3入力以上でも前記と同様に可能である。

【0034】(第4の実施の形態)図9～図11は、本発明の第4の実施の形態を示す図であり、図9は2入力OR状態検出保持回路の回路図、図10は一部の構造を示す断面図、図11は図9の回路の信号波形図である。この実施の形態は、前記第1の実施の形態におけるP型とN型を反転した構成を示す。図9において、PチャネルMOS-FET(110)とPチャネルMOS-FET(111)が2入力OR回路を構成している。また、NチャネルMOS-FET(118)はNチャネルのMFS-FET(114)の強誘電体膜(135)に分極を起こさせるための基板電位制御回路と論理回路部の負荷トランジスタとの両方の機能を有している。また、NチャネルMOS-FET(115)は図1のPチャネルMOS-FET(13)に相当する。

【0035】また、図10は、NチャネルのMFS-FET(114)とNチャネルのMOS-FET(115)の部分の断面図を示す。図示の構造では、P基板(130)内に設けたNウェル(131)内に、さらにPウェル(132)を設けた2重ウェル構造とし、NチャネルのMFS-FET(114)の基板電位をVDDにできるようにしているのが特徴である。

【0036】なお、図9および図10において、110はPチャネルMOS-FET、111はPチャネルMOS-FET、112はNチャネルMOS-FET、113は抵抗、114はNチャネルMFS-FET、115はNチャネルMOS-FET、116はIN端子1、117はIN端子2、118はres端子、119はres端子、120はOUT端子、121は電源線、122はグランド線、130はP基板、131はNウェル、132はPウェル、133は基板コンタクト、134はドレイン、135は強誘電体膜、136はゲート電極、137はソース、138は基板コンタクト、139はドレイン、140はゲート酸化膜、141はゲート電極、

142はソース、143は基板コンタクトである。

【0037】図9の回路における信号波形は、図11に示すように、回路各部の電位が前記図4と全て逆になる。なお、本実施の形態では論理回路部を2入力OR回路としているが、2入力AND回路も構成できる。また、3入力以上でも前記と同様に可能である。

【0038】(第5の実施の形態)図12および図13は、本発明の第5の実施の形態を示す図であり、図12は2入力OR状態検出保持回路の回路図、図13は一部の構造断面図である。本実施の形態は、第1の実施の形態のP型とN型を反転し、さらにリセット動作のMOS-FETとしてPチャネルのMOS-FET(155)を用いている。このように構成することにより、res端子(158)にPチャネルのMOS-FET(155)のゲートを直接接続することが可能となる。ただしPチャネルのMOS-FET(155)のゲートをGNDレベルにしてオンさせるため、OUT端子(159)の出力電位の“L”レベルは $GND + |V_{thp}|$ となる。なお、 V_{thp} はPチャネルのMOS-FET(155)のしきい値を示す。

【0039】また、図13はNチャネルのMFS-FET(154)とPチャネルのMOS-FET(155)の部分の構造断面図である。図13においては、前記図10と同様に、NチャネルのMFS-FET(154)の基板電位をVDDにできるように2重ウェル構造(171と172)としているのが特徴である。

【0040】図12および図13において、150はPチャネルMOS-FET、151はPチャネルMOS-FET、152はNチャネルMOS-FET、153は抵抗、154はNチャネルMFS-FET、155はPチャネルMOS-FET、156はIN端子1、157はIN端子2、158はres端子、159はOUT端子、160は電源線、161はグランド線、170はP基板、171はNウェル、172はPウェル、173はNウェル、174は基板コンタクト、175はドレイン、176は強誘電体膜、177はゲート電極、178はソース、179は基板コンタクト、180はソース、181はゲート酸化膜、182はゲート電極、183はドレイン、184は基板コンタクト、185は基板コンタクトである。

【0041】なお、本実施の形態では論理回路部を2入力OR回路としているが、前記図5と同様の2入力AND回路も構成できる。また、3入力以上でも前記と同様に可能である。

【0042】以上説明してきたように、強誘電体FETを用いた論理回路において、従来技術では状態検出保持回路を構成するのに論理回路部と基板電位制御回路部と保持回路部とを独立に存在させていたのに対し、本発明においては論理回路の一部を基板電位制御回路と共有する構造とした。これにより従来例に比べて小面積で状態

検出保持回路を実現することが可能となった。

【0043】また、これまでの実施の形態では、電源をオフしてもその内部状態は保持されるので、電子システム稼動時において、適時、使われない回路部分の電源をオフし、電子システム全体の省電力化を図ることが可能となる。

【0044】なお、これまでの説明では、デバイス構造として接合分離型の場合について例示したが、SOI構造でも実現可能であり、こうすれば第4、第5の実施の形態で示したような2重ウェル構造は不要となる。

【0045】また、論理回路部として2入力OR回路、2入力AND回路の場合について説明してきたが、それらは一例であり、NOR、NAND、EXOR等の他の論理回路を組み合わせることも勿論可能である。すなわち、これまでの実施の形態の回路において、論理回路部として他の論理を組み込めばよい。

【0046】(第6の実施の形態)次に、図14および図15は、本発明の第6の実施の形態を示す図であり、図14は相補型インバータの回路図、図15は図14の回路の信号波形図である。

【0047】まず回路構成を説明する。破線で囲んだ部分の強誘電体インバータ(220)は、PチャネルMFS-FET(209)、NチャネルMFS-FET(210)、抵抗(212-a)、(212-b)、強誘電体キャパシタ(211-a)、(211-b)から構成されている。そしてPチャネルMFS-FET(209)のソースおよび基板は、電源線(213)と、抵抗(212-a)の一端に接続され、PチャネルMFS-FET(209)のゲートは、抵抗(212-a)の他端と、強誘電体キャパシタ(211-a)の一端に接続され、NチャネルMFS-FET(210)のソースおよび基板は、グランド線(214)と、抵抗(212-b)の一端に接続され、NチャネルMFS-FET(210)のゲートは、抵抗(212-b)の他端と、強誘電体キャパシタ(211-b)の一端に接続され、強誘電体キャパシタ(211-a)、(211-b)の他端は共に、入力端子(215)に接続される。MFS-FET(209)と(210)のドレインは共に、出力端子(216)に接続されている。

【0048】以下、図15に基づいて図14の回路の動作を説明する。なお、以下の説明において、電源線(213)には5Vの電源電圧が印加されているものとする。まず、入力が0V→5Vに立ち上がる時の回路各部の電位の状態を説明する。図14中のGpの点には、強誘電体キャパシタ(211-a)と抵抗(212-a)で構成される微分回路によって、入力信号の電位が一定の時は5Vで、0V→5Vに立ち上がった時には図15に示すような微分パルスが加わる。これによってPチャネルMFS-FET(209)の強誘電体膜には、一瞬電界がかかり、PチャネルMFS-FET(209)が

非導通状態となるような分極を生じる。同様に図14中のGnの点には、強誘電体キャパシタ(211-b)と抵抗(212-b)で構成される微分回路によって、入力信号の電位が一定の時は0Vで、0V→5Vに立ち上がった時には図15に示すような微分パルスが加わる。これによってNチャネルMFS-FET(210)の強誘電体膜には、一瞬電界がかかり、NチャネルMFS-FET(210)が導通状態となるような分極を生じる。よって出力端子(216)は0V→5Vとなる。この論理状態は電源をオフしても、PチャネルMFS-FET(209)とNチャネルMFS-FET(210)の強誘電体膜の分極によって保持されることになる。

【0049】次に、入力が5V→0Vに立ち下がった時は、上記動作が全て逆となり、PチャネルMFS-FET(209)は導通状態、NチャネルMFS-FET(210)は非導通状態となる。よって出力端子(216)は5V→0Vとなる。この論理状態は、電源がオフしても上記の場合と同様に保持される。

【0050】このように強誘電体インバータ(220)は通常のインバータと全く同じ論理動作を行い、また電源の供給が断たれても、論理状態は保持される。つまり本発明による強誘電体インバータ(220)は従来技術で必要とされてきた負電源や複雑な制御なしで、電源オフ時に論理状態を保持することが可能となる。

【0051】(第7の実施の形態)図16は、本発明の第7の実施の形態を示す回路図であり、強誘電体ラッチ回路の例を示す。まず回路構成を説明する。破線で囲まれた部分の強誘電体ラッチ回路(230)は、前記図14に示した強誘電体インバータ(220)、CMOSインバータ(221)、トランスマッションゲート(222-a)、トランスマッションゲート(222-b)から構成される。そして強誘電体ラッチ回路(230)のデータ入力端子Dはトランスマッションゲート(222-b)の一端に接続され、トランスマッションゲート(222-b)の他端は、トランスマッションゲート(222-a)の一端と、CMOSインバータ(221)の入力端子に接続され、CMOSインバータ(221)の出力端子は、強誘電体インバータ(220)の入力端子に接続され、強誘電体インバータ(220)の出力端子は、トランスマッションゲート(222-a)の他端と、強誘電体ラッチ回路(230)のデータ出力端子Qに接続される。またトランスマッションゲート(222-b)の制御端子には、強誘電体ラッチ回路(230)のラッチイネーブル端子Gが接続され、トランスマッションゲート(222-a)の制御端子には、強誘電体ラッチ回路(230)のラッチイネーブル端子Gの後にインバータを介したG⁻が接続される。ただし、GとG⁻は逆位相の信号が入力することを示す。

【0052】なお、上記のトランスマッションゲートとは、PチャネルMOS-FETとNチャネルMOS-F

ETとが並列に接続され、一方のゲートと他方のゲートとがインバータを介して接続され、ゲート信号に応じてPチャネルMOS-FETとNチャネルMOS-FETとが同時にオン、オフするスイッチング回路である。

【0053】次に回路動作を説明する。なお強誘電体インバータ(220)は第6の実施の形態と全く同じに動作する。

【0054】まず、ラッチイネーブル端子Gが“H”つまりトランスミッションゲート(222-b)がオン、トランスミッションゲート(222-a)がオフの時は、強誘電体ラッチ回路(230)のデータ入力端子Dの値がCMOSインバータ(221)と強誘電体インバータ(220)を介してスルー状態で強誘電体ラッチ回路(230)の出力端子に出力される。

【0055】次に、ラッチイネーブル端子Gが“L”つまりトランスミッションゲート(222-b)がオフ、トランスミッションゲート(222-a)がオンになると、強誘電体ラッチ回路(230)のデータ入力端子Dの値が遮断され、CMOSインバータ(221)と強誘電体インバータ(220)によって、ラッチイネーブル端子Gが“L”になる直前の強誘電体ラッチ回路(230)のデータ入力端子Dの値が保持され、強誘電体インバータ(220)の出力端子に出力される。

【0056】この実施の形態においても第6の実施の形態と同様に、強誘電体インバータ(220)には電源がオフしても論理状態は保持されているので、強誘電体ラッチ回路(230)の論理も当然保持される。このように強誘電体ラッチ回路(230)は通常のラッチ回路と全く同じ論理動作を行い、かつ従来技術で必要とされてきた負電源や複雑な制御なしで電源の供給が断たれても、その論理状態を保持することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態である2入力OR状態検出保持回路の回路図。

【図2】第1の実施の形態における一部のトラジスタの構造断面図。

【図3】強誘電体の分極特性を示す特性図。

【図4】第1の実施の形態の回路各部の電位レベルを示す信号波形図。

【図5】本発明の第2の実施の形態である2入力AND状態検出保持回路の回路図。

【図6】第2の実施の形態の回路各部の電位レベルを示す信号波形図。

【図7】本発明の第3の実施の形態である2入力OR状態検出保持回路の回路図。

【図8】第3の実施の形態における一部のトラジスタの構造断面図。

【図9】本発明の第4の実施の形態である2入力OR状態検出保持回路の回路図。

【図10】第4の実施の形態における一部のトラジス

タの構造断面図。

【図11】第4の実施の形態の回路各部の電位レベルを示す信号波形図。

【図12】本発明の第5の実施の形態である2入力OR状態検出保持回路の回路図。

【図13】第5の実施の形態における一部のトラジスタの構造断面図。

【図14】本発明の第6の実施の形態である強誘電体インバータの回路図。

【図15】第6の実施の形態の回路各部の電位レベルを示す信号波形図。

【図16】本発明の第7の実施の形態である強誘電体ラッチ回路の回路図。

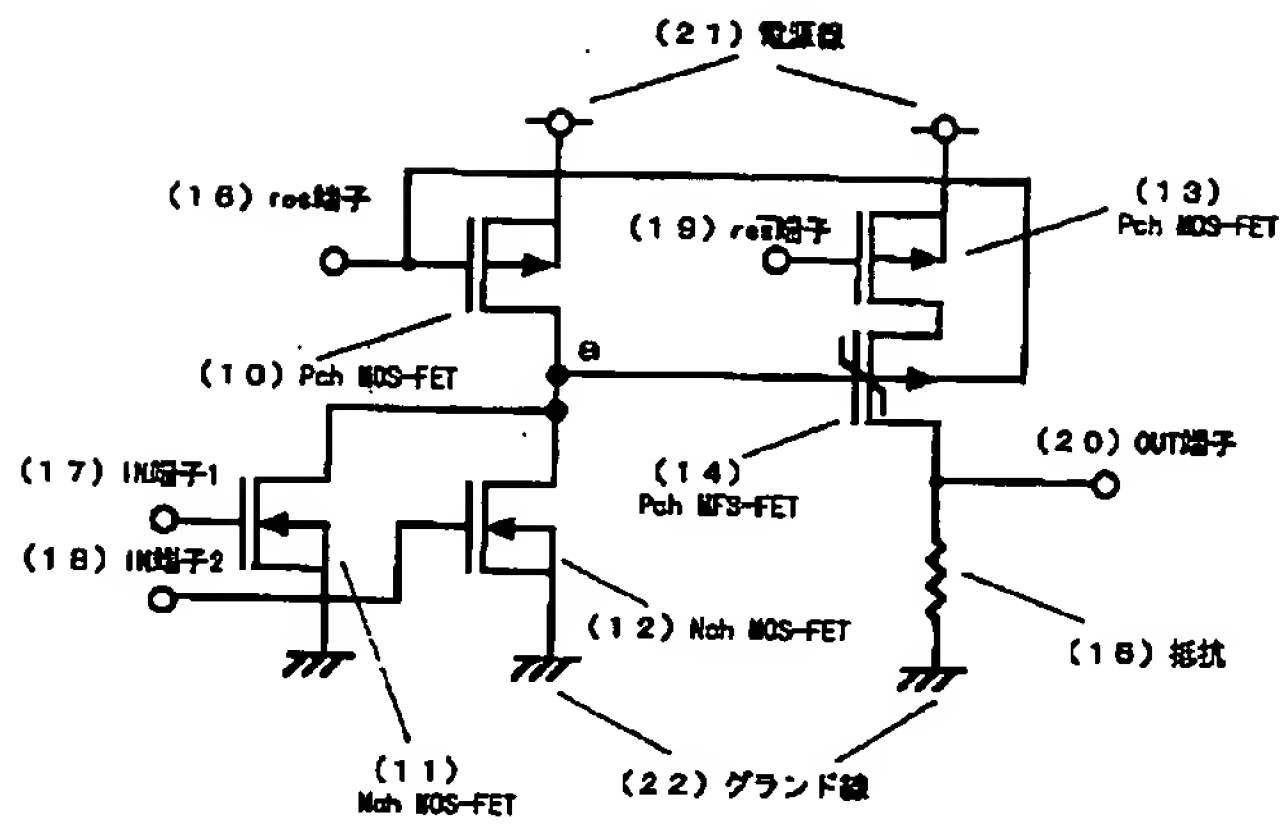
【図17】PチャネルMFS-FETとNチャネルMFS-FETの従来例の断面図。

【符号の説明】

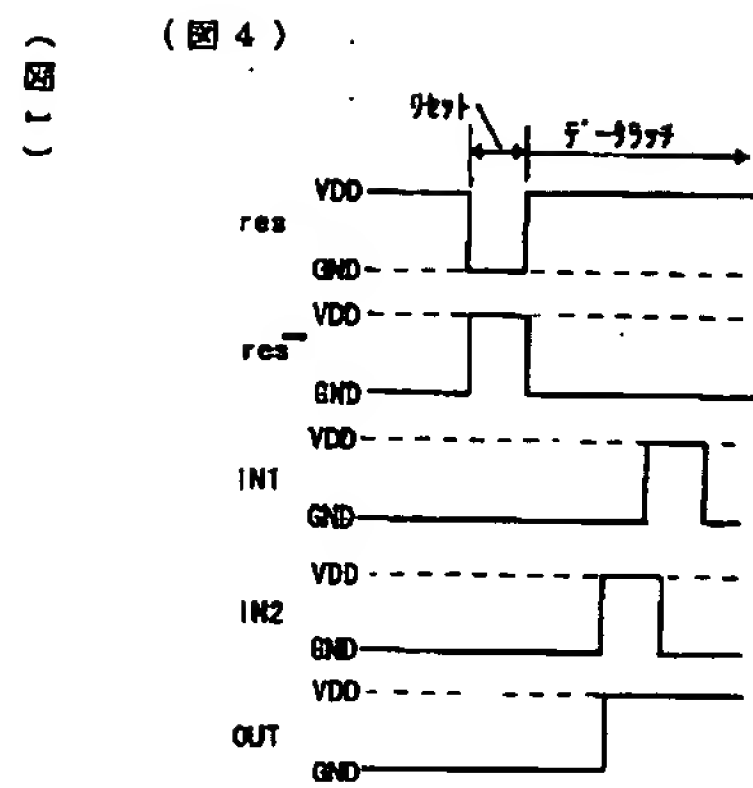
1…P基板	2…ソース
3…ドレイン	4…強誘電体
膜	
5…ゲート電極	6…Nウェル
7…ソース	8…ドレイン
10…PチャネルMOS-FET	11…Nチャ
ネルMOS-FET	
12…NチャネルMOS-FET	13…Pチャ
ネルMOS-FET	
14…PチャネルMFS-FET	15…抵抗
16…res端子	17…IN端
子1	
18…IN端子2	19…res
一端子	
20…OUT端子	21…電源線
22…グランド線	31…P基板
32…Nウェル	33…Nウェ
ル	
34…基板コンタクト	35…ソース
36…ゲート酸化膜	37…ゲート
電極	
38…ドレイン	39…基板コ
ンタクト	
40…ソース	41…強誘電
体膜	
42…ゲート電極	43…ドレイ
ン	
44…基板コンタクト	50…Pチャ
ネルMOS-FET	
51…NチャネルMOS-FET	52…Nチャ
ネルMOS-FET	
53…PチャネルMOS-FET	54…Pチャ
ネルMFS-FET	
55…抵抗	56…res

端子		137…ソース	138…基板
57…IN端子1	58…IN端	コンタクト	
子2		139…ドレイン	140…ゲー
59…res [—] 端子	60…OUT	ト酸化膜	
端子		141…ゲート電極	142…ソー
61…電源線	62…グラン	ス	
ド線		143…基板コンタクト	150…Pチ
70…PチャネルMOS-FET	71…Nチャ	ヤネルMOS-FET	
ネルMOS-FET		151…PチャネルMOS-FET	152…Nチ
72…NチャネルMOS-FET	73…Nチャ	ヤネルMOS-FET	
ネルMOS-FET		153…抵抗	154…Nチ
74…PチャネルMFS-FET	75…抵抗	ヤネルMFS-FET	
76…res端子	77…IN端	155…PチャネルMOS-FET	156…IN
子1		端子1	
78…IN端子2	79…OUT	157…IN端子2	158…re
端子		s端子	
80…電源線	81…グラン	159…OUT端子	160…電源
ド線		線	
90…P基板	91…ソース	161…グラント線	170…P基
92…ゲート酸化膜	93…ゲート	板	
電極		171…Nウェル	172…Pウ
94…ドレイン	95…基板コ	エル	
ンタクト		173…Nウェル	174…基板
96…ソース	97…強誘電	コンタクト	
体膜		175…ドレイン	176…強誘
98…ゲート電極	99…ドレイ	電体膜	
ン		177…ゲート電極	178…ソー
100…基板コンタクト	101…Nウ	ス	
エル		179…基板コンタクト	180…ソー
110…PチャネルMOS-FET	111…Pチ	ス	
ヤネルMOS-FET		181…ゲート酸化膜	182…ゲー
112…NチャネルMOS-FET	113…抵抗	ト電極	
114…NチャネルMFS-FET	115…Nチ	183…ドレイン	184…基板
ヤネルMOS-FET		コンタクト	
116…IN端子1	117…IN	185…基板コンタクト	209…Pチ
端子2		ヤネルMFS-FET	
118…res端子	119…re	210…NチャネルMFS-FET	
s [—] 端子		211-a、211-b…強誘電体キャパシタ	
120…OUT端子	121…電源	212-a、212-b…抵抗	213…電源
線		線	
122…グラント線	130…P基	214…グラント線	215…入力
板		端子	
131…Nウェル	132…Pウ	216…出力端子	220…強誘
エル		電体インバータ	
133…基板コンタクト	134…ドレ	221…CMOSインバータ	230…強誘
イン		電体ラッチ回路	
135…強誘電体膜	136…ゲー	222-a、222-b…トランSMissionゲート	
ト電極			

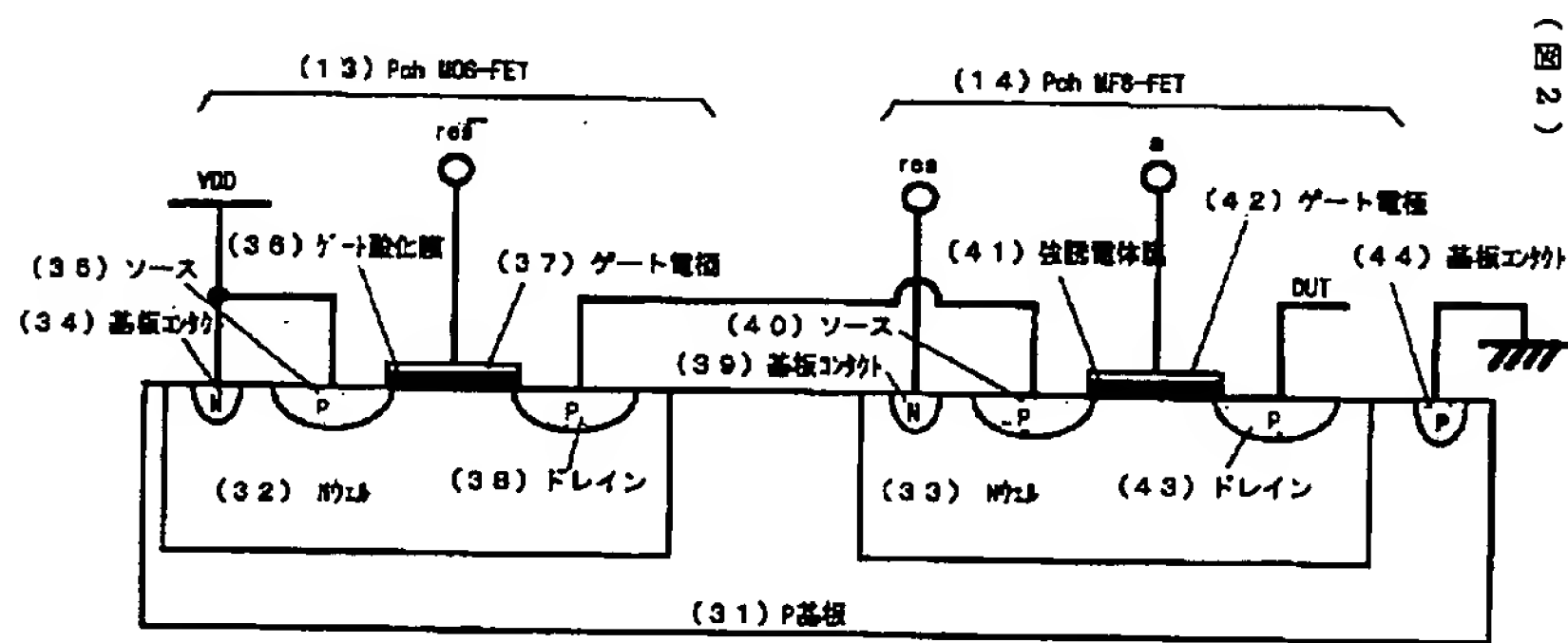
【図1】



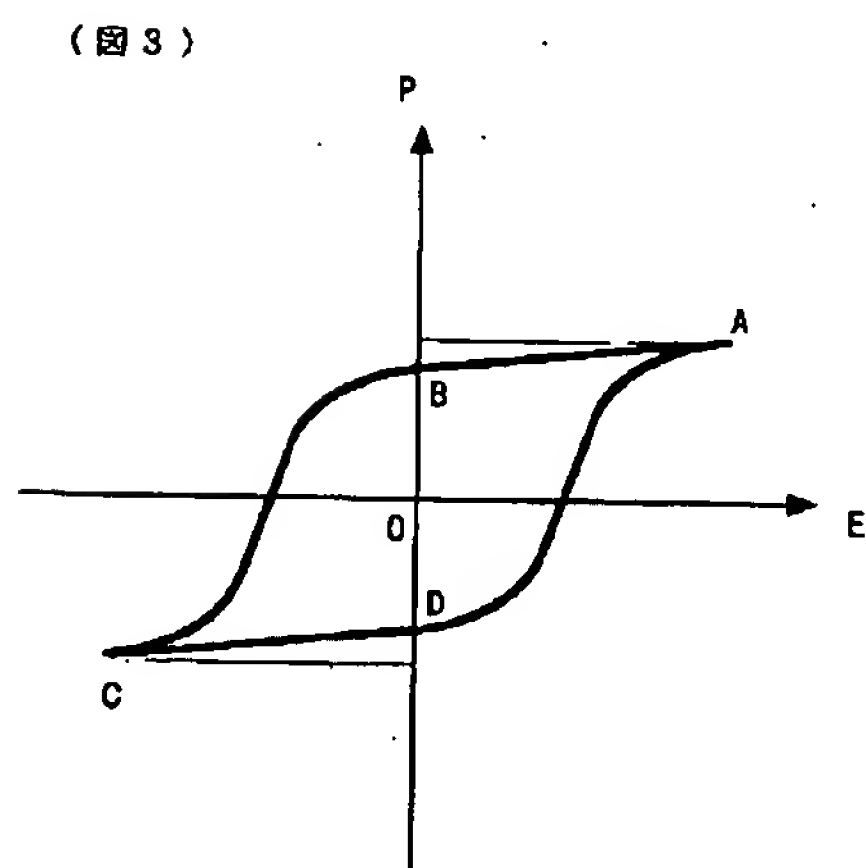
【図4】



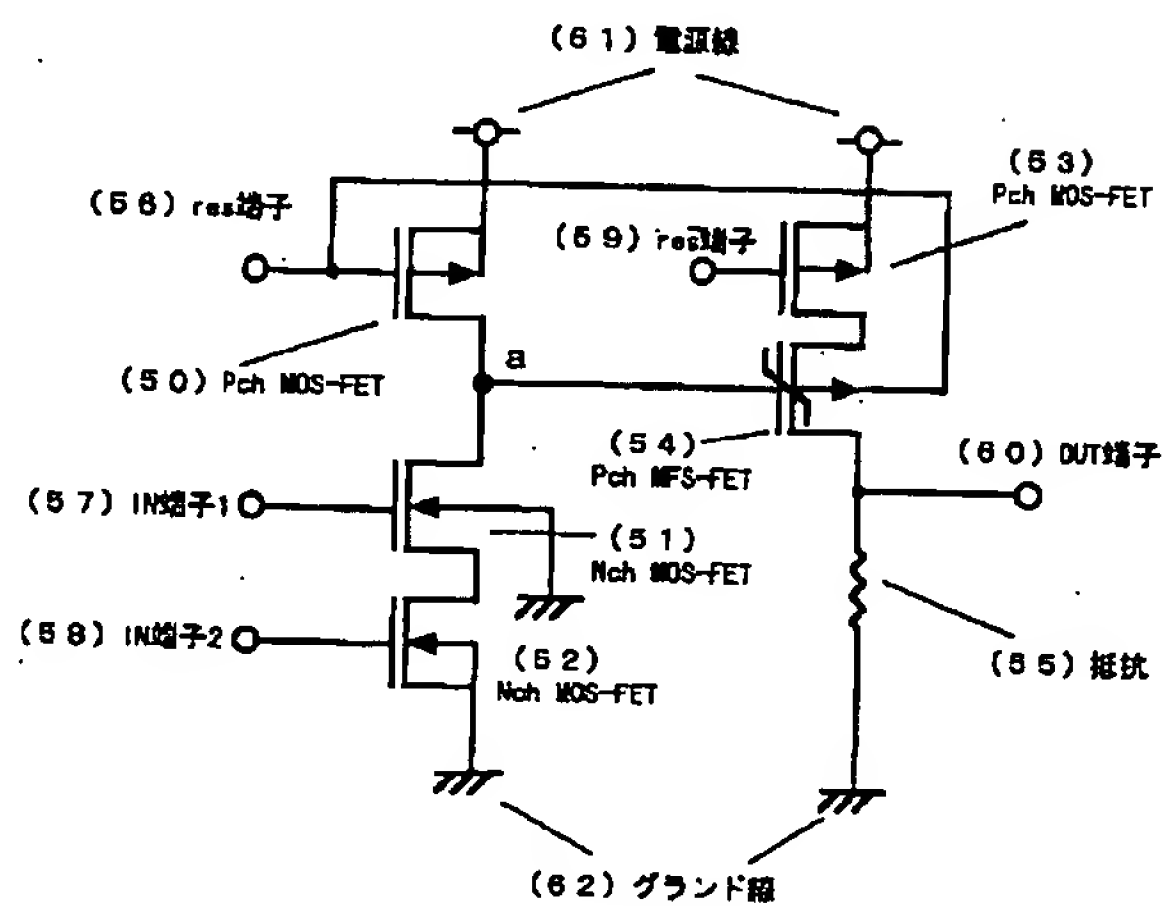
【図2】



【図3】



【図5】

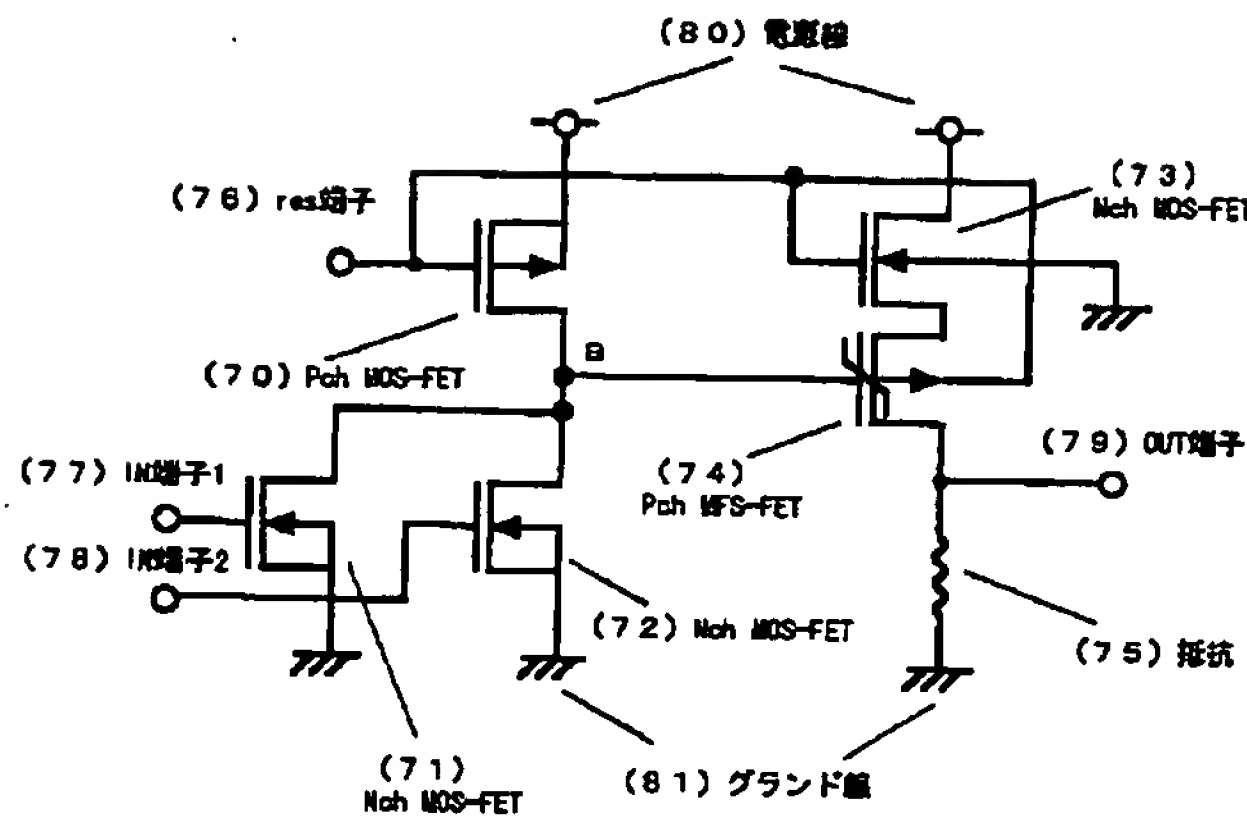
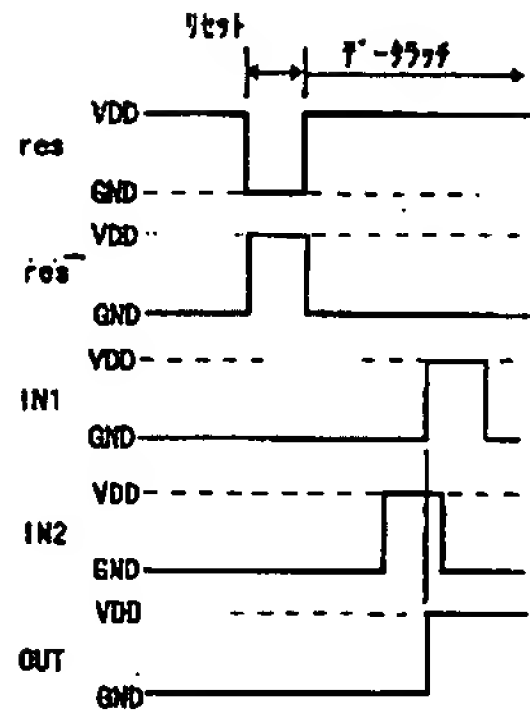


(図5)

【図6】

【図7】

(図6)

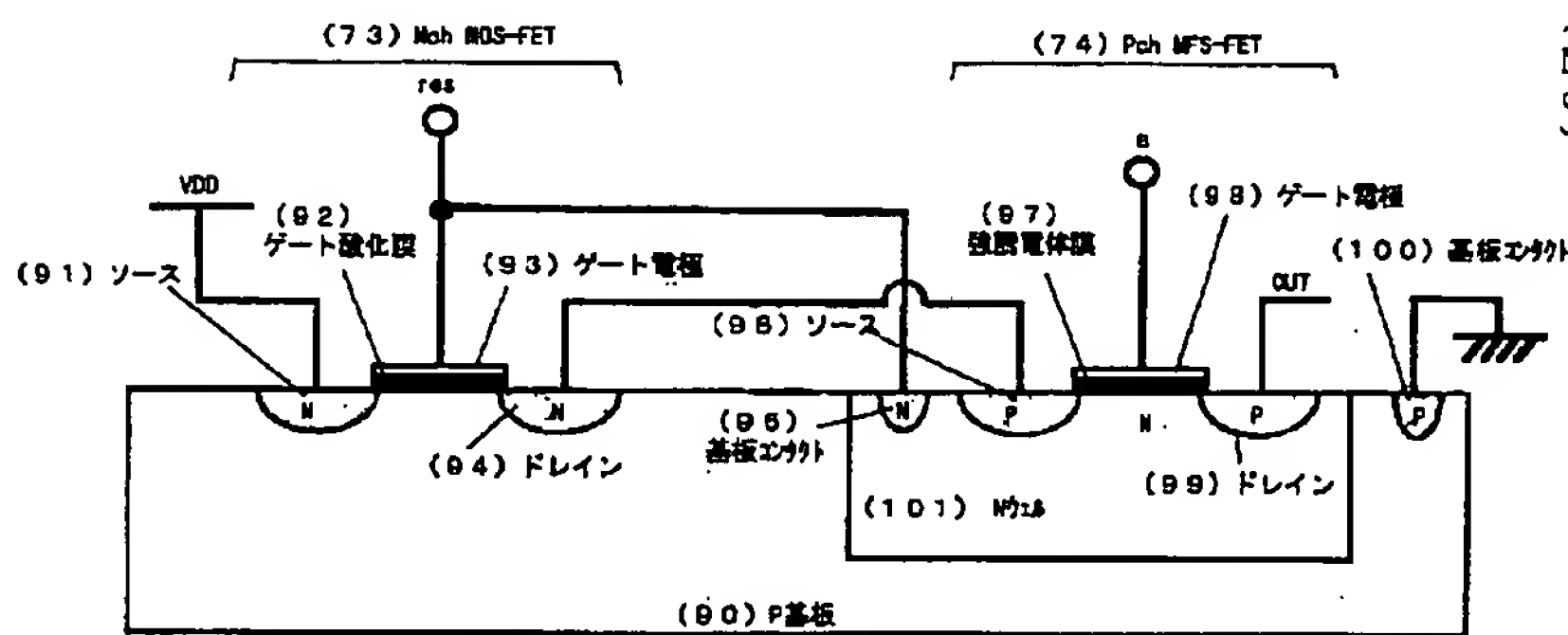


(図7)

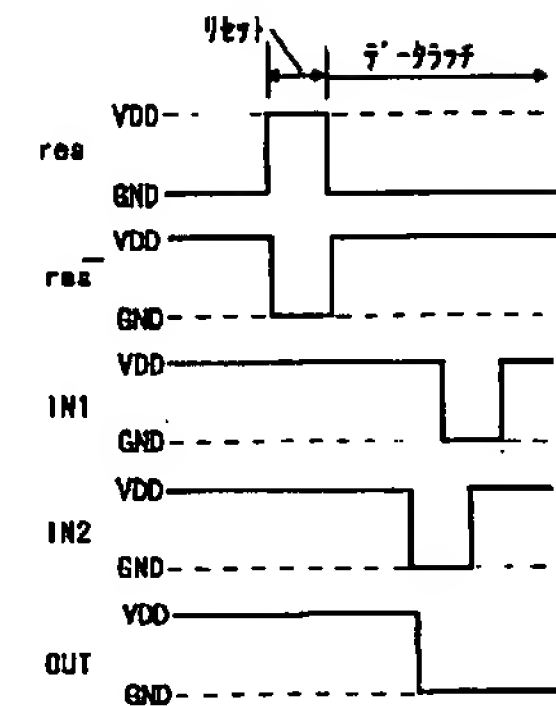
【図8】

【図11】

(図11)

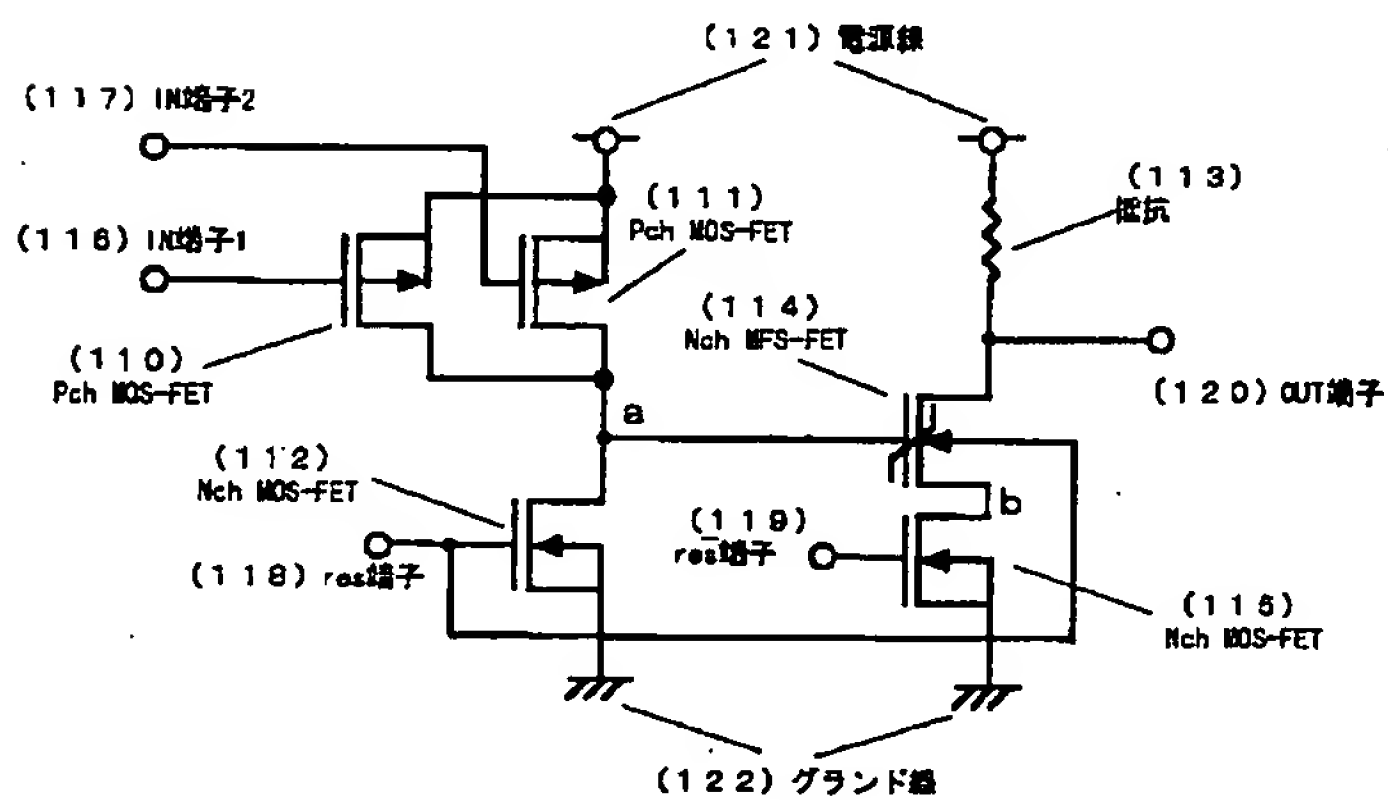


(図8)

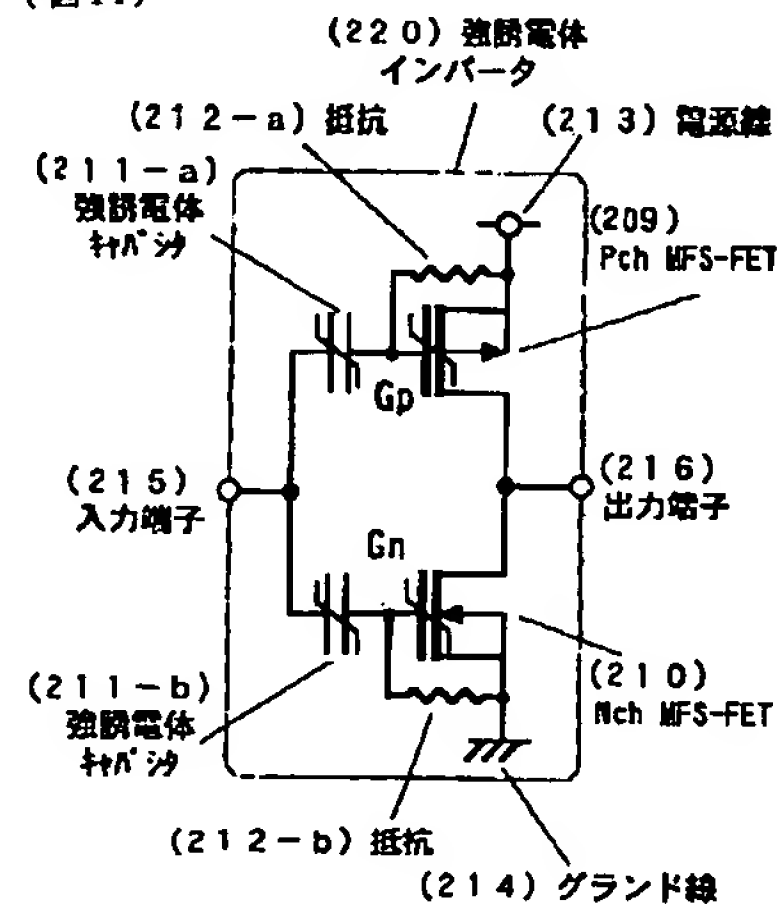


【図9】

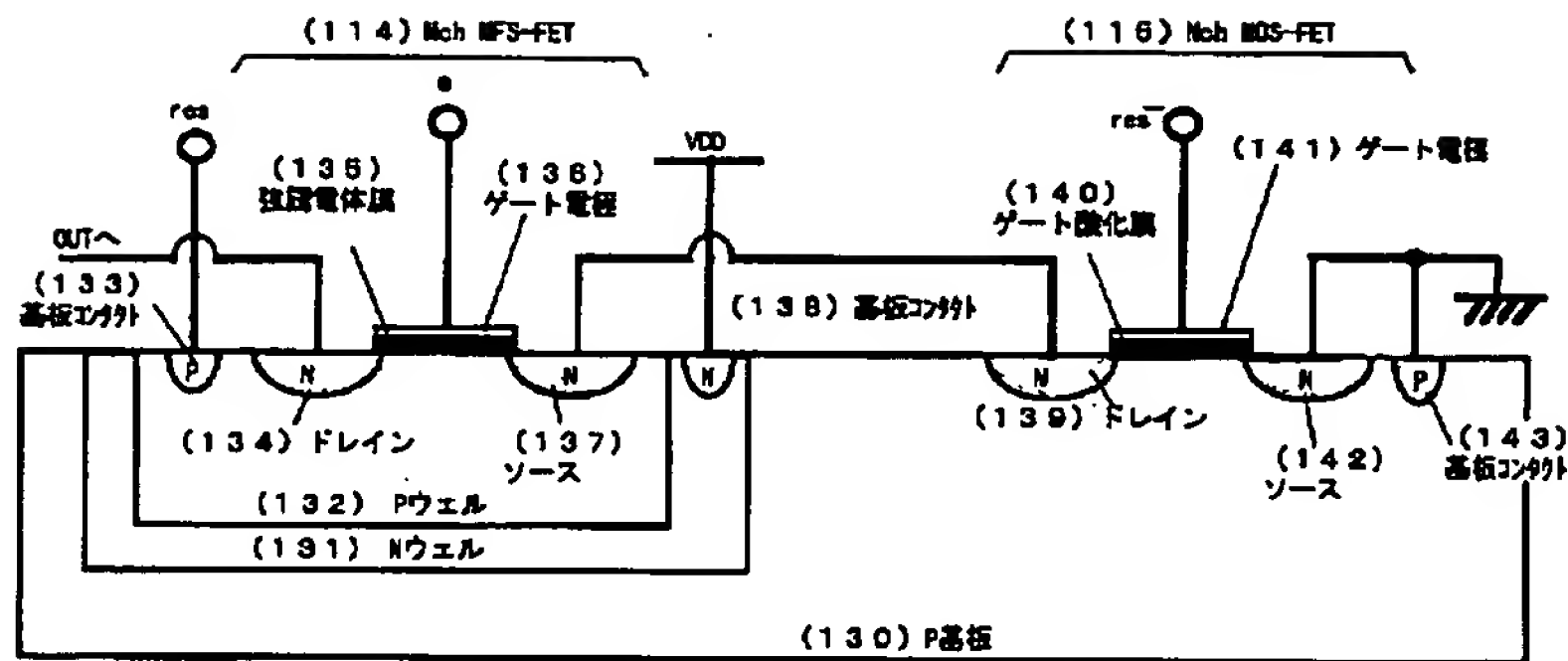
【図14】



(図9)

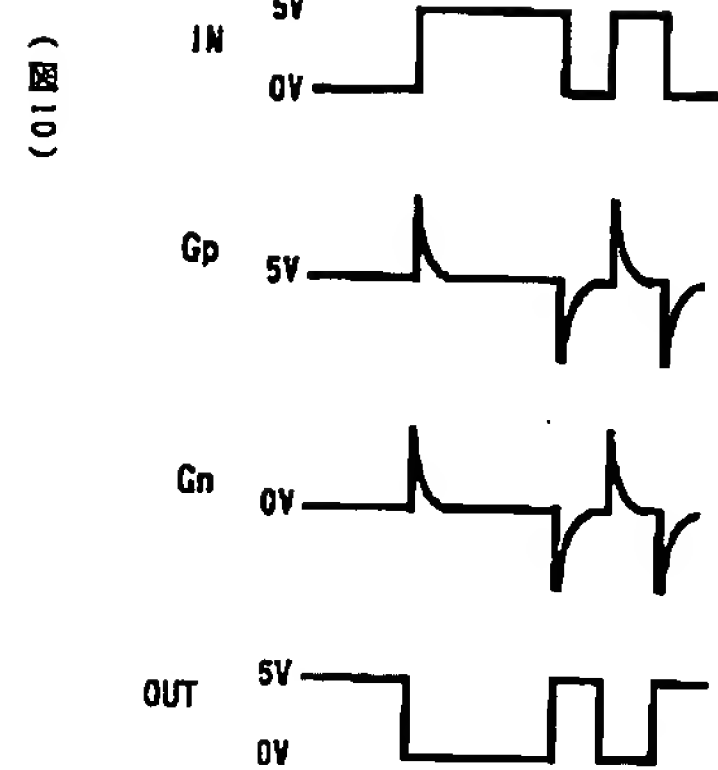


【図10】

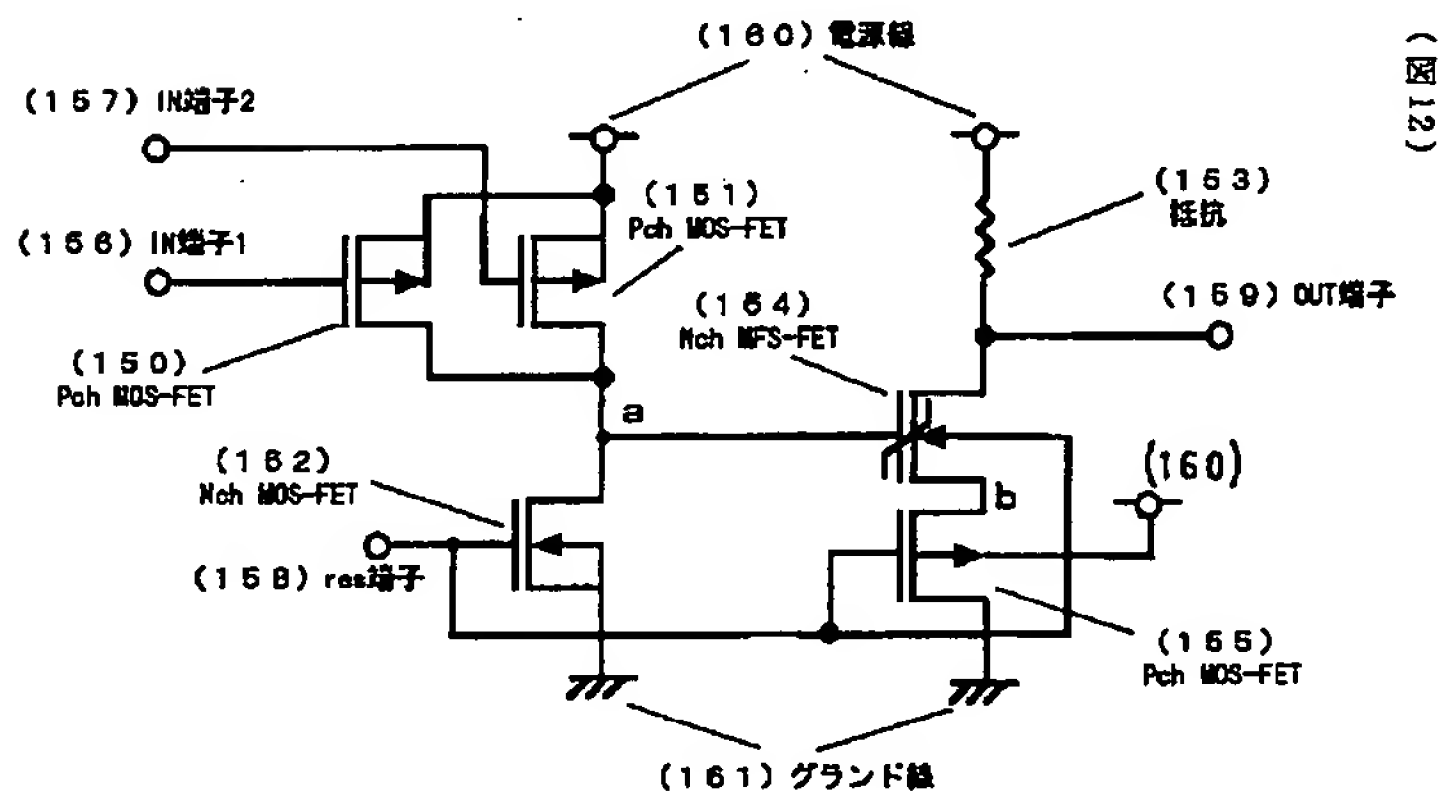


【図15】

(図15)



【図12】



【図13】

